



(11) Veröffentlichungsnummer:

**0 140 095**

**A1**

(12)

# EUROPÄISCHE PATENTANMELDUNG

(21) Anmeldenummer: 84110893.9

(51) Int. Cl.<sup>4</sup>: **H 01 L 29/90**  
**H 01 L 27/02**

(22) Anmeldetag: 12.09.84

(30) Priorität: 21.09.83 DE 3334167

(43) Veröffentlichungstag der Anmeldung:  
08.05.85 Patentblatt 85/19

(64) Benannte Vertragsstaaten:  
DE FR GB IT

(71) Anmelder: Siemens Aktiengesellschaft  
Berlin und München Wittelsbacherplatz 2  
D-8000 München 2(DE)

(72) Erfinder: Huber, Jakob, Dipl.-Phys.  
Flurweg 35  
D-8201 Beyharting(DE)

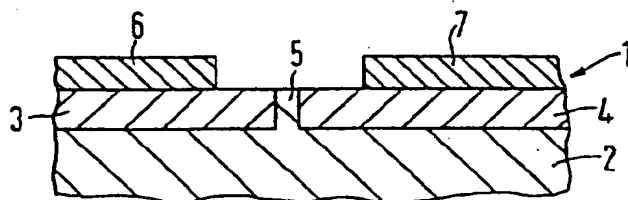
(72) Erfinder: Pettenpaul, Ewald, Dr. Ing.  
Fasanenstrasse 68 b  
D-8025 Unterhaching(DE)

## (54) Halbleiterdiode.

(57) Es wird eine Halbleiterdiode (1) bestehend aus drei aneinandergrenzenden Bereichen (3,4,5) beschrieben, bei der jeweils zwei dotierte Bereiche (3,4) dieselbe Dotierungsart haben und von einem dritten intrinsischen Bereich (5) voneinander getrennt werden. Der intrinsische Bereich (5) weist derartige geometrische Abmessungen auf, daß bei einer gewissen anliegenden äußeren Spannung und bei der Arbeitstemperatur der Diode ein Tunneln von Ladungsträgern von einem dotierten Bereich (3 oder 4) zum anderen dotierten Bereich (4 oder 3) durch den intrinsischen Bereich (5) möglich ist. Die Halbleiterdiode weist eine planare Struktur auf einem Halbleitersubstrat auf.

Eine solche Halbleiterdiode (1) eignet sich als Schutzdiode für andere Bauelemente, die auf insbesondere Verbindungshalbleitersubstraten angebracht sind.

**FIG 1**



0140095

SIEMENS AKTIENGESellschaft  
Berlin und München

Unser Zeichen  
VPA 83P 1700 E

### Halbleiterdiode

Die Erfindung betrifft eine Halbleiterdiode bestehend aus drei aneinandergrenzenden Bereichen, bei denen jeweils zwei dotierte Bereiche derselben Dotierungsart durch einen dritten Bereich von zu den beiden anderen Bereichen  
5 unterschiedlicher Dotierungsart getrennt sind und bei denen die zwei dotierten Bereiche derselben Dotierungsart ohmsche Kontakte aufweisen.

Eine solche Halbleiterdiode ist aus der europäischen Patentschrift 0 003 130 als Bulk-Diode bekannt, die eine  
10 NPN oder PNP-Dreischichtstruktur aus drei aneinandergrenzenden Halbleiterschichten mit ohmschen Kontakten aufweist und bei der zur Verringerung der Energiebarriere die in der Dreischichtstruktur mittlere Schicht in ihrer  
15 Dicke so dünn gewählt ist, daß bereits ohne äußere an die Elektroden angelegte elektrische Spannung bei der gegebenen Dotierung dieser Schicht der gesamte Bereich dieser Schicht von freien Ladungsträgern verarmt ist. Derartige Dioden, die als Bulk-Dioden ausgebildet sind, eignen sich  
-20 nur schwer oder nicht zum Einsatz als Schutzdioden bei Galliumarsenid-Bauelementen, zumal dafür hohe p-Dotierungen in Galliumarsenid einzubringen wären was bekanntlich schwierig bzw. unmöglich ist. Andererseits sind Galliumarsenid-Bauelemente, die auf semiisolierenden Substraten  
25 gefertigt sind, sehr empfindlich gegen statische Entladung. Bisher werden deshalb auf semiisolierenden Substraten aus Verbindungshalbleitern keine Schutzdioden eingebaut. Wegen der Empfindlichkeit von Galliumarsenid-Bauelemente gegen statische Entladungen und wegen der Tatsache, daß  
30 derartige Bauelemente überwiegend als planare Bauelemente

auf einem semiisolierenden Substrat ausgebildet sind, wäre ein Konzept für die Herstellung von planaren Schutzdioden für Galliumarsenid-Bauelemente auf semiisolierten Substraten von besonderer Wichtigkeit.

5

Aufgabe der vorliegenden Erfindung ist es daher, eine Halbleiterdiode anzugeben, die sich als planare Diode auch auf einem semiisolierenden Substrat eignet und die eine vorgebbare geringe Schwellwertspannung aufweist, so  
10 daß sie sich z. B. als Schutzdiode für andere auf dem Substrat befindliche Halbleiterbauelemente anbringen läßt.

Diese Aufgabe wird bei einer Diode der eingangs erwähnten Art dadurch gelöst, daß der dritte Bereich ein intrinsischer Bereich ist und daß der intrinsische Bereich derartige geometrische Abmessungen aufweist, daß bei einer gewissen anliegenden äußeren Spannung und bei der Arbeitstemperatur der Diode ein Tunneln von Ladungsträgern von einem dotierten Bereich zum anderen dotierten Bereich  
15 durch den intrinsischen Bereich möglich ist und daß die drei Bereiche eine planare Struktur aufweisen, die auf einem Halbleitersubstrat ausgebildet ist.  
20

Eine solche Diode weist in vorteilhafter Weise die Möglichkeit auf, Schutzdioden für Galliumarsenid-Bauelemente auf semiisolierenden Substraten herzustellen, und das mit einem relativ geringen Kostenaufwand und mit üblichen technisch erprobten Verfahren zu verwirklichen.  
25

Es ist auch erfinderisch, daß das Halbleitersubstrat aus einem semiisolierenden Material besteht und z. B. aus einem binären, ternären oder quaternären Verbindungshalbleiter, insbesondere aus Galliumarsenid, Indiumphosphid oder Galliumaluminiumarsenid besteht.  
30

- Erfindungsgemäße Dioden sind auf derartigen Substraten technisch leicht und wenig kostenaufwendig herstellbar. Entsprechende bisher bekannte Dioden, z. B. NPN-Dioden lassen sich insbesondere auf Substraten aus Verbindungs-
- 5 halbleitern praktisch nicht erzeugen, da hierfür erforderliche hohe P-Konzentrationen von ca.  $10^{20}$  Dotierstoffatomen pro ccm nicht mit dem gewünschten Erfolg herstellbar sind. Bei sehr hohen Dotierungen von Verbindungshalbleitern kann zum einen die Kristallstruktur so stark ge-
- 10 schädigt werden, daß entweder der zu erreichende Effekt ausbleibt oder, infolge des amphoteren Charakters von Dotierstoffen in Verbindungshalbleitern der erzielte Effekt eine gegenteilige Wirkung ausübt.
- 15 Es ist auch erfinderisch, daß die zwei dotierten Bereiche derselben Dotierungsart eine n-Dotierung besitzen. N-Dotierungen sind in den üblichen Verbindungshalbleitern leichter herstellbar als p-Dotierungen.
- 20 In gewissen Fällen kann es auch vorteilhaft sein, daß die zwei dotierten Bereiche derselben Dotierungsart eine p-Dotierung besitzen.
- In vielen Anwendungsfällen ist es vorteilhaft, daß die
- 25 zwei dotierten Bereiche derselben Dotierungsart die gleiche Dotierungskonzentration aufweisen.
- In bestimmten Anwendungsfällen ist es jedoch vorteilhaft, daß die zwei dotierten Bereiche derselben Dotierungsart
- 30 unterschiedliche Dotierungskonzentrationen aufweisen.
- In bestimmten Anwendungsfällen ist es vorteilhaft, daß mindestens einer der zwei dotierten Bereiche aus einem anderen Halbleitermaterial besteht als der intrinsische
- 35 Bereich.

Es gibt auch Anwendungsfälle, in denen es vorteilhaft ist, daß mindestens einer der drei Bereiche aus einem anderen Halbleitermaterial besteht als das Halbleitersubstrat.

5

Für viele Anwendungen ist es besonders vorteilhaft, daß die Halbleiterdiode mit mindestens einem weiteren Halbleiterbauelement auf ein und demselben Halbleitersubstrat angebracht ist und z.B. eine Schutzdiode ist.

10

Für die Herstellung erfindungsgemäßer Halbleiterdioden ist es vorteilhaft, daß ein Halbleitersubstrat mindestens mit zwei getrennten dotierten Bereichen derselben Dotierungsart so versehen wird, daß ein Zwischenbereich zwischen den beiden dotierten Bereichen von der Dotierung frei bleibt, daß der Zwischenbereich, falls er nicht intrinsisch ist, als intrinsischer Bereich ausgebildet wird, daß auf den dotierten Bereichen ohmsche Kontakte abgeschieden werden, daß die Kontakte einlegiert werden, und daß eine ganzflächige Passivierung erfolgt.

20

Bei gewissen Anwendungsfällen ist es vorteilhaft, daß die dotierten Bereiche mittels Implantation und nachfolgendem Ausheilen eingebracht werden.

25

In anderen Anwendungsfällen ist es hingegen vorteilhaft, daß die dotierten Bereiche 3,4 mittels einer ganzflächig epitaktisch aufgetragenen dotierten Halbleiterschicht auf ein intrinsisches Halbleitersubstrat 2 aufgebracht werden und daß danach die epitaktisch aufgetragene Halbleiterschicht mittels fotolithographischer Verfahren so strukturiert wird, daß an den Stellen, an denen dotierte Bereiche 3,4 vorgesehen sind, die dotierte epitaktisch abgeschiedene Halbleiterschicht er-

30

halten bleibt, während an den Stellen an denen intrinsische Bereiche vorgesehen sind, die epitaktisch abgeschiedene dotierte Halbleiterschicht bis auf das intrinsische Substrat völlig abgetragen wird.

5

Es ist auch erfinderisch, daß die dotierten Bereiche 3,4 mittels Epitaxie oder Implantation auf ein intrinsisches Halbleitersubstrat 2 aufgebracht werden und daß der intrinsische Bereich 5 durch eine Isolations-  
10 Implantation, z.B. von Sauerstoff- oder Wasserstoff-Ionen erzeugt wird.

Nachfolgend wird die Erfindung anhand der Zeichnung und an Ausführungsbeispielen näher erläutert. Es zeigen:

15

Fig. 1 und 2 ein Ausführungsbeispiel der erfindungsgemäßen Halbleiterdiode im Querschnitt und in Draufsicht,

Fig. 3 eine Stromspannungskennlinie einer  
20 Halbleiterdiode nach Fig. 1 und 2,

Fig. 4 bis 6 Verfahrensschritte eines erfindungsgemäßen Verfahrens zur Herstellung einer Halbleiterdiode nach Fig. 1 und 2.

25 Fig. 1 zeigt ein Ausführungsbeispiel einer erfindungsgemäßen Halbleiterdiode 1. Auf einem Halbleitersubstrat 2, das z. B. semiisolierend ist und aus binären, ternären oder quaternären Verbindungshalbleitern, insbesondere aus Galliumarsenid, Indiumphosphid oder Galliumaluminiumarse-  
30 nid besteht, befinden sich zwei dotierte Bereiche 3, 4, die die gleiche Dotierungsart, insbesondere eine n-Dotierung, aufweisen. Zwischen den beiden dotierten Bereichen 3 und 4 befindet sich ein intrinsischer Bereich 5. Der intrinsische Bereich 5 ist entweder als Zwischenbereich  
35 zwischen den dotierten Bereichen 3 und 4 von vornherein

intrinsisch, falls das Halbleitersubstrat 2 intrinsisch ist. Ist das Halbleitersubstrat 2 nicht intrinsisch, so wird der Bereich 5 als intrinsischer Bereich ausgebildet. Auf den dotierten Bereichen 3 und 4 sind ohmsche Kontakte 5 6 und 7 angebracht, insbesondere auf Germanium-Gold-Basis. Zum Beispiel kann auf den dotierten Bereichen 3 und 4 der Reihe nach eine Schichtenfolge von Germanium, Gold, Chrom, Gold oder auch eine Schichtenfolge aus Germanium, Gold, Nickel, Gold angebracht sein.

10

Fig. 2 zeigt eine Draufsicht auf eine Halbleiterdiode 1 nach Fig. 1. Gleiche Gegenstände sind mit gleichen Bezugszeichen versehen und werden nicht nochmals beschrieben. Außerdem bezeichnet d die Länge der Diode, d.h. die 15 Spaltbreite der intrinsischen Schicht 5, c den Abstand zwischen intrinsischer Schicht 5 und den auf den dotierten Bereichen 3, 4 angebrachten ohmschen Kontakten 6, 7. b ist die Weite der Diode, d.h. die Erstreckung der dotierten Bereiche 3, 4 parallel zur langen Kante des 20 intrinsischen Bereichs 5.

Bei einem speziellen Ausführungsbeispiel mit einem Substrat aus Galliumarsenid (GaAs) und n-dotierten Bereichen 3, 4 von gleicher Dotierungskonzentration, und 25 zwar dotiert mit Silicium, von der Konzentration von ca.  $3 \times 10^{17} \text{ cm}^{-3}$  und mit ohmschen Kontakten der Zusammensetzung Germanium, Gold, Chrom, Gold, (Ge, Au, Cr, Au) wurde  $b = 80 \mu$ ,  $c = 1,5 \mu$  und  $d = 1,5 \mu$ , gewählt.

30 Fig. 3 zeigt die Stromspannungskennlinie des in Fig. 2 angegebenen speziellen Ausführungsbeispiels einer Halbleiterdiode 1. Für die speziell gewählten Abmessungen b, c, d und die speziell gewählten Materialien ist wie aus

- der Kennlinie 8 ersichtlich der Strom I im Spannungsbe-  
reich zwischen ca. -2,5 V bis +2,5 V Null. Bei stärker  
negativen und auch positiven Spannungen wächst der Strom  
hingegen rasch an, was auf ein Tunneln von Ladungsträgern  
5 durch den intrinsischen Bereich 5 zurückzuführen ist.  
Durch die spezielle geometrische Gestaltung von erfin-  
dungsgemäßen Halbleiterdioden, insbesondere durch die  
Länge d der intrinsischen Zone 5, mit der der Abstand  
zwischen den dotierten Bereichen 3 und 4 festgelegt ist,  
10 kann die Schwellwertspannung erfindungsgemäßer Halblei-  
terdioden variiert werden. Ein Tunneln von Ladungsträgern  
durch den intrinsischen Bereich 5 erfolgt nämlich bei um  
so geringeren angelegten äußeren Spannungen, je schmaler  
diese Zone ist.
- 15 Erfindungsgemäße Halbleiterdioden sind nicht an die spe-  
zielle Formgebung aus Fig. 1 und 2 gebunden; sie können  
vielmehr in jeder beliebigen geeigneten Geometrie herge-  
stellt werden, z. B. als kreissymmetrisch geformte Dioden.
- 20 Erfindungsgemäße Dioden können z. B. als Schutzdioden bei  
z. B. Galliumarsenid-Bauelementen, insbesondere Gallium-  
arsenid-Feldeffekttransistoren angewendet werden. In  
einem solchen Fall wäre die Halbleiterdiode 1 als Schutz-  
25 diode zwischen Gate und Source bzw. Masse zu schalten.
- Die erfindungsgemäße Diode eignet sich jedoch auch für  
alle Anwendungen bei vorgegebenem, insbesondere niederem  
Schwellwert. Sie eignet sich insbesondere auch als Lauf-  
30 zeitdiode oder als Klammerdiode in Verbindung mit Bipo-  
lartransistoren, nämlich zur Erhöhung deren Schaltge-  
schwindigkeit.



Der Vorteil einer erfindungsgemäßen Halbleiterdiode besteht darin, daß sie als planares Bauelement ausgebildet ist und sich somit zur Integration auch bei Verbindungshalbleitern, z. B. Galliumarsenid-Halbleitern, 5 eignet.

Die Fig. 4 bis 6 verdeutlichen Verfahrensschritte zur Herstellung einer erfindungsgemäßen Halbleiterdiode nach z. B. Fig. 1 und 2.

10

Fig. 4 zeigt im Querschnitt einen Teil eines Halbleitersubstrats 2 aus z. B. einem semiisolierenden Material, das z. B. aus binären, ternären oder quaternären Verbindungshalbleitern, insbesondere aus Galliumarsenid, Indiumphosphid oder Galliumaluminiumarsenid, besteht. Das Halbleitersubstrat 2 kann intrinsisch sein. Um die dotierten Bereiche 3, 4 im Substrat anzubringen, wird das Substrat 2 mit einer ersten Fotolackmaske 9 versehen. Die erste Fotolackmaske 9 hat gerade an den Stellen Öffnungen, an 15 denen die dotierten Bereiche 3 und 4 angebracht werden. Mittels Diffusion oder Implantation werden die dotierten Bereiche 3 und 4 in das Substrat 2 an den Stellen der Öffnungen der ersten Fotolackmaske 9 eingebracht. Insbesondere werden n-dotierte Bereiche 3, 4 in das Substrat eingebracht. Sollen die dotierten Bereiche 3, 4 zwar die gleiche Dotierungsart, jedoch unterschiedliche Dotierungskonzentrationen aufweisen, so ist ein zusätzlicher photolithografischer Prozeß vor dem in Fig. 4 dargestellten Verfahrensschritt anzubringen, der denjenigen dotierten 25 Bereich 3 oder 4 mit der geringeren Dotierungskonzentration zunächst abdeckt und nur denjenigen Bereich zunächst freigibt, der die höhere Dotierungskonzentration aufweisen soll, oder umgekehrt. Erfolgt die Dotierung mittels Implantation, so ist nach den Implantationsschritten ein Ausheilschritt 35 anzubringen, z. B. bei 840 °C und z. B. 35 20 Minuten lang.

Fig. 5 zeigt einen Teil des Halbleiterchips nach Fig. 4, von dem die erste Fotolackmaske 9 entfernt ist und auf den eine zweite Fotolackmaske 10, welche Öffnungen für die anzubringenden ohmschen Kontakte 6 bzw. 7 enthält, aufgebracht ist. In die Öffnung der zweiten Fotolackmaske 10 werden die ohmschen Kontakte 6 und 7 abgeschieden, was z. B. mittels Bedampfung erfolgen kann.

In Fig. 6 ist ein Teil eines Halbleiterchips nach den Fig. 4 und 5 dargestellt, von dem die zweite Fotolackmaske 10 z.B. mittels Abhebetechnik entfernt ist und auf dem ohmsche Kontakte 6 und 7 angebracht sind. Die ohmschen Kontakte 6 und 7 sind insbesondere Kontakte auf Germanium-Gold-Basis und können insbesondere aus einer Schichtenfolge Germanium, Gold, Chrom, Gold oder aus einer Schichtenfolge von Germanium, Gold, Nickel, Gold bestehen. Der intrinsische Bereich 5 befindet sich zwischen den dotierten Bereichen 3 und 4. Der intrinsische Bereich 5 ist entweder von vornherein gegeben, wenn das Halbleitersubstrat 2 intrinsisch ist, oder er wird bei einem nichtintrinsischen Halbleitersubstrat 2 durch geeignete Dotierung als intrinsischer Bereich 5 ausgebildet. Das Halbleitersubstrat besteht im allgemeinen aus semiisolierendem Material und weist in undotiertem Zustand bei Raumtemperatur einen Widerstand  $10^4 \text{ Ohm} \cdot \text{cm}$  auf.

Anstelle des in den Fig. 4 bis 6 beschriebenen Verfahrens kann auch auf einem intrinsischen Halbleitersubstrat 2 eine durchgehende, insbesondere n- oder  $n^+$ -dotierte epitaktisch aufgebrachte Schicht abgeschieden werden. Mit einer Fotolackmaske, die einem Negativ der in Fig. 4 dargestellten Fotolackmaske 9 entspricht, wird mittels Ätzung die n- bzw.  $n^+$ -dotierte Schicht bis zur

0140095

-10-

VPA

83 P 1700 E

Substratoberfläche 2 abgeätzt. Dadurch entsteht wiederum ein intrinsischer Bereich 5 zwischen den dotierten Bereichen 3 und 4. Zur Anbringung der ohmschen Kontakte 6 und 7 kann das in den Fig. 5 und 6 dargestellte Verfahren 5 verwendet werden.

17 Patentansprüche

6 Figuren

Patentansprüche

1. Halbleiterdiode bestehend aus drei aneinandergrenzenden Bereichen, bei denen jeweils zwei dotierte Bereiche derselben Dotierungsart durch einen dritten Bereich von zu den beiden anderen Bereichen unterschiedlicher Dotierungsart getrennt sind und bei denen die zwei dotierten Bereiche derselben Dotierungsart ohmsche Kontakte aufweisen, d a d u r c h g e k e n n z e i c h n e t , daß der dritte Bereich ein intrinsischer Bereich (5) ist und daß der intrinsische Bereich (5) derartige geometrische Abmessungen aufweist, daß bei einer gewissen anliegenden äußeren Spannung und bei der Arbeitstemperatur der Diode ein Tunneln von Ladungsträgern von einem dotierten Bereich (3 oder 4) zum anderen dotierten Bereich (4 oder 3) durch den intrinsischen Bereich (5) möglich ist und daß die drei Bereiche (3, 4, 5) eine planare Struktur aufweisen, die auf einem Halbleitersubstrat (2) ausgebildet ist.
2. Halbleiterdiode nach Anspruch 1, d a d u r c h g e k e n n z e i c h n e t , daß das Halbleitersubstrat (2) aus einem semiisolierenden Material besteht.
3. Halbleiterdiode nach Anspruch 1 und oder 2, d a - d u r c h g e k e n n z e i c h n e t , daß das Halbleitersubstrat (2) aus einem binären, ternären oder quaternären Verbindungshalbleiter besteht.
4. Halbleiterdiode nach mindestens einem der Ansprüche 1 bis 3, d a d u r c h g e k e n n z e i c h n e t , daß das Halbleitersubstrat (2) aus Galliumarsenid, Indiumphosphid oder Galliumaluminiumarsenid besteht.

5. Halbleiterdiode nach mindestens einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die zwei dotierten Bereiche (3, 4) derselben Dotierungsart eine n-Dotierung besitzen.

5

6. Halbleiterdiode nach mindestens einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die zwei dotierten Bereiche derselben Dotierungsart (3, 4) eine p-Dotierung besitzen.

10

7. Halbleiterdiode nach mindestens einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß die zwei dotierten Bereiche (3, 4) derselben Dotierungsart die gleiche Dotierungskonzentration aufweisen.

15

8. Halbleiterdiode nach mindestens einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß die zwei dotierten Bereiche (3, 4) derselben Dotierungsart unterschiedliche Dotierungskonzentrationen aufweisen.

20

9. Halbleiterdiode nach mindestens einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß mindestens einer der zwei dotierten Bereiche (3, 4) aus einem anderen Halbleitermaterial besteht als der intrinsische Bereich.

25

10. Halbleiterdiode nach mindestens einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß mindestens einer der drei Bereiche (3, 4, 5) aus einem anderen Halbleitermaterial besteht als das Halbleitersubstrat (2).

30

11. Halbleiterdiode nach mindestens einem der Ansprüche 1 bis 10, d a d u r c h g e k e n n z e i c h n e t , daß die Halbleiterdiode (1) mit mindestens einem weiteren Halbleiterbauelement auf ein und demselben Halbleitersubstrat (2) angebracht ist.

12. Halbleiterdiode nach Anspruch 11, d a d u r c h g e k e n n z e i c h n e t , daß die Halbleiterdiode (1) eine Schutzdiode ist.

10

13. Verfahren zur Herstellung einer Halbleiterdiode nach mindestens einem der Ansprüche 1 bis 12, d a d u r c h g e k e n n z e i c h n e t , daß ein Halbleitersubstrat (2) mindestens mit zwei getrennten dotierten Bereichen (3, 4) der selben Dotierungsart so versehen wird, daß ein Zwischenbereich zwischen den beiden dotierten Bereichen von der Dotierung frei bleibt, daß der Zwischenbereich falls er nicht intrinsisch ist, als intrinsischer Bereich (5) ausgebildet wird, daß auf den dotierten Bereichen (3, 4) ohmsche Kontakte (6, 7) abgeschieden werden, daß die ohmschen Kontakte (6, 7) einlegiert werden, und daß eine ganzflächige Passivierung erfolgt.

14. Verfahren nach Anspruch 13, d a d u r c h g e k e n n z e i c h n e t , daß die dotierten Bereiche (3, 4) mittels Implantation und nachfolgendem Ausheilen eingebracht werden.

15. Verfahren nach Anspruch 13, d a d u r c h g e k e n n z e i c h n e t , daß die dotierten Bereiche (3,4) mittels einer ganzflächig epitaktisch aufgetragenen dotierten Halbleiterschicht auf ein intrinsisches Halbleitersubstrat (2) aufgebracht werden und daß danach die

epitaktisch aufgebrachte Halbleiterschicht mittels photolithographischer Verfahren so strukturiert wird, daß an den Stellen, an denen dotierte Bereiche (3,4) vorgesehen sind, die dotierte epitaktisch abgeschiedene Halbleiterschicht erhalten bleibt, während an den Stellen an denen  
5 intrinsische Bereiche vorgesehen sind, die epitaktisch abgeschiedene dotierte Halbleiterschicht bis auf das intrinsische Substrat völlig abgetragen wird.

10 16. Verfahren nach Anspruch 13, dadurch gekennzeichnet, daß die dotierten Bereiche (3,4) zunächst mittels ganzflächiger Epitaxie oder Implantation auf ein intrinsisches Halbleitersubstrat (2)  
15 aufgebracht werden und daß der intrinsische Bereich (5) durch eine Isolations-Implantation auf den ganzflächig implantierten oder epitaktisch abgeschiedenen Bereichen erzeugt wird.

20 17. Verfahren nach Anspruch 16, dadurch gekennzeichnet, daß die Isolations-Implantation durch eine Implantation von Sauerstoff- oder Wasserstoff-Ionen erzeugt wird.

1/2

FIG 1

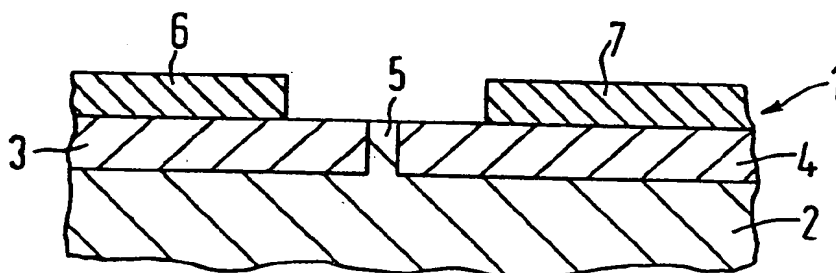


FIG 2

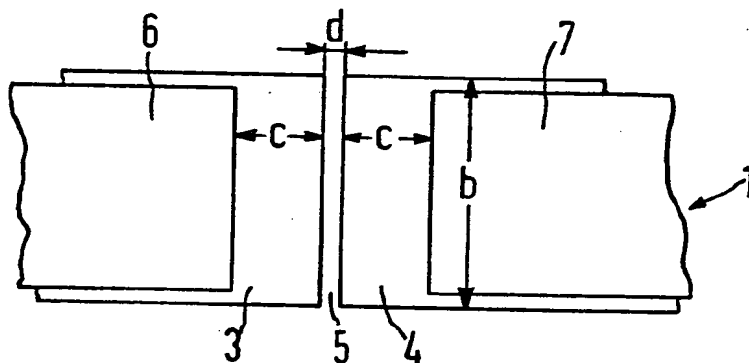
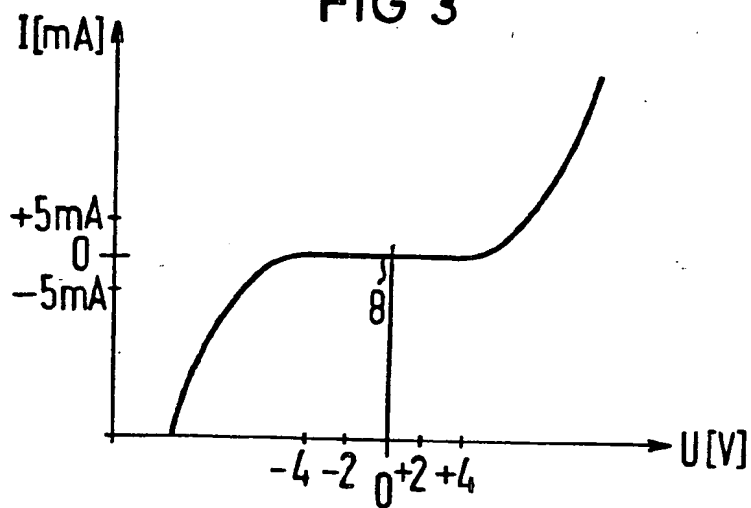


FIG 3





2/2

FIG 4

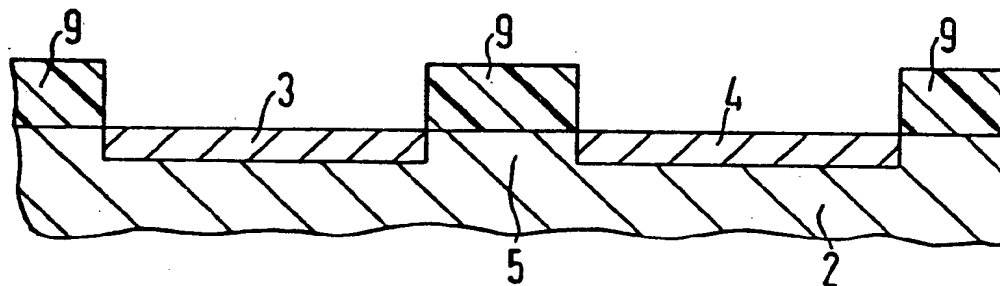


FIG 5

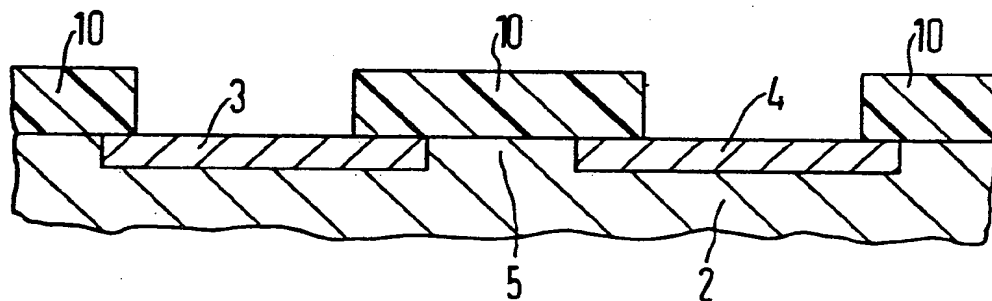
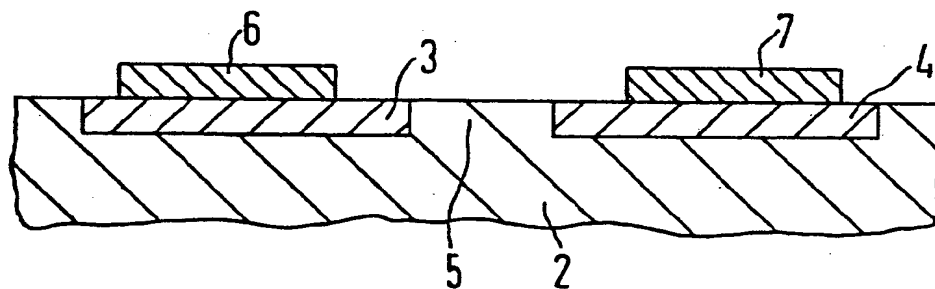


FIG 6





Europäisches  
Patentamt

# EUROPÄISCHER RECHERCHENBERICHT

0140095

Nummer der Anmeldung

EP 84 11 0893

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl. 4)
X	MICROELECTRONICS AND RELIABILITY, Band 22, Nr. 2, 1982, Seiten 187-193, Pergamon Press, Oxford, GB; C.A. MILLER et al.: "Punch-through gate protection of M.O.S. devices" * Seiten 187-189 *	1,2,5-7,11,12	H 01 L 29/90 H 01 L 27/02
A	FR-A-1 551 956 (WESTINGHOUSE) * Ansprüche *	1	
A	FR-A-2 030 175 (TOKYO SHIBAURA ELECTRIC) * Seite 3, Zeilen 8-28 *	1	
			RECHERCHIERTE SACHGEBIETE (Int. Cl. 4)
			H 01 L
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt.			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 06-12-1984	Prüfer PELSERS L.
<b>KATEGORIE DER GENANNTEN DOKUMENTEN</b> X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche Offenbarung P : Zwischenliteratur T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus andern Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument			

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**